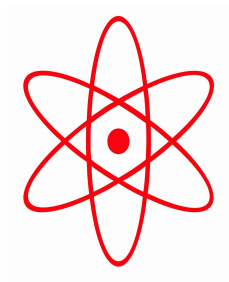


НПО УЧЕБНОЙ ТЕХНИКИ «ТУЛАНАУЧПРИБОР»
ПОСТАВЩИК: ООО «РУСУЧПРИБОР», г. МОСКВА

МЕТОДИЧЕСКОЕ РУКОВОДСТВО ПО ВЫПОЛНЕНИЮ
ЛАБОРАТОРНОЙ РАБОТЫ



ОИВТ-5

**ИЗУЧЕНИЕ ЛОГИЧЕСКИХ СХЕМ И ЛОГИЧЕСКИХ
ОПЕРАЦИЙ НА ИХ ОСНОВЕ.**

Тула, 2013 г

ЛАБОРАТОРНАЯ РАБОТА.

ИЗУЧЕНИЕ ЛОГИЧЕСКИХ СХЕМ И ЛОГИЧЕСКИХ ОПЕРАЦИЙ НА ИХ ОСНОВЕ.

Цель работы: изучение работы логических элементов и логических операций, реализованных на их основе.

ТЕОРЕТИЧЕСКОЕ ОПИСАНИЕ.

Интегральные микросхемы. Назначение и применение.

Цифровые интегральные микросхемы представляют собой электронные устройства, позволяющие строить практически все узлы и блоки ЭВМ, в которых обрабатываемая информация представлена в виде двоичных чисел. Переменные величины и функции от них, которые могут принимать только два значения: 0 и 1, называются логическими переменными и логическими функциями. Свойства логических функций изучает алгебра логики, а устройства, реализующие логические функции, называются логическими или цифровыми. Наряду со сложными схемами, реализующими функции целых узлов и блоков (сумматорами, счетчиками, регистрами, элементами запоминающих устройств, микропроцессорами), многомиллионными сериями выпускаются простейшие комбинационные цифровые элементы (потенциальные, импульсные, импульсно-потенциальные), среди которых наиболее широкое распространение получили потенциальные логические элементы (ЛЭ). Для них характерно наличие связи по постоянному току между входами и выходами схем. Схемотехника с непосредственными связями снимает ограничения по нижней частоте сигнала. Схемотехническая реализация потенциальных ЦИС осуществляется на основе ряда типовых базовых функциональных элементов. Рассмотрим логические функции, реализуемые с помощью логических элементов, включенных в состав серий ЦИС и получивших наиболее широкое применение для построения узлов ЭВМ и устройств дискретной автоматики.

Логические функции, реализуемые с помощью ЦИС.

Простейшей логической функцией является функция НЕ (логическое отрицание), которая записывается как $Y\{X\} = \bar{X}$. Значения истинности функции $Y(X)$, получаемой путем отрицания переменного X в зависимости от значений истинности последнего, определяется из табл. 1. Такая таблица называется таблицей истинности.

В электронных схемах отрицание реализуется с помощью ключевого элемента НЕ, построенного на

Таблица 1

Отрицание

х	у (х)= \bar{x}
0	1
1	0

усилительном приборе. Сигналы на выходе ключа инвертируются в зависимости от значений входных сигналов и соответствуют табл. 3.1.

Для двух переменных X_1 , X_2 существует $2^4=16$ различных логических функций, каждая из которых определена четырьмя возможными комбинациями переменных.

В таблице 2 перечислены четыре наиболее распространенных типа логических элементов, а также выполняемые ими функции, их обозначения и названия.

Таблица 2

Наиболее распространенные типы логических элементов и их функции

Логический элемент	Выполняемая функция $X_1=0011$ $X_2=0101$	Название функции
И	$Y = X_1 X_2 = 0001$	Конъюнкция
И—НЕ	$Y = X_1 X_2 = 1110$	Штрих Шеффера
ИЛИ	$Y = X_1 + X_2 = 0111$	Дизъюнкция
ИЛИ—НЕ	$Y = X_1 + X_2 = 1000$	Стрелка Пирса

Каждая из приведенных логических функций может быть распространена и на большее число независимых переменных, а логические элементы, реализующие эти функции, также могут иметь не два, а n входов. Число входов логических элементов ограничивается числом выводов стандартных корпусов и, как правило, не превышает восьми. После анализа логических функций штрих Шеффера и отрицание можно сделать вывод, что функция $Y(X_1, X_2) = \overline{X_1 X_2}$ получается из функции $Y(X) = \overline{X}$ путем замены в ней аргумента X другой логической функцией $Y(X_1, X_2) = X_1 X_2$. Такая операция называется суперпозицией. Применяя суперпозицию, можно получать сложные логические функции.

Система простых логических функций, на основе которой с помощью лишь операции суперпозиции можно получить любую логическую функцию, называется функционально полной. Например, функционально полными являются следующие пять систем:

$$\begin{cases} Y = \bar{X} — \text{отрицание,} \\ Y = X_1 X_2 — \text{конъюнкция,} \\ Y = X_1 + X_2 — \text{дизъюнкция;} \end{cases} \quad (3.1)$$

$$\begin{cases} Y = \bar{X} — \text{отрицание,} \\ Y = X_1 X_2 — \text{конъюнкция;} \end{cases} \quad (3.2)$$

$$\begin{cases} Y = \bar{X} — \text{отрицание,} \\ Y = \bar{X}_1 + X_2 — \text{дизъюнкция;} \end{cases} \quad (3.3)$$

$$Y = \overline{X_1 X_2} — \text{отрицание конъюнкции (штрих Шеффера);} \quad (3.4)$$

$$Y = \overline{X_1 + X_2} — \text{отрицание дизъюнкции (стрелка Пирса).} \quad (3.5)$$

Недостающие в этих системах функции можно получить на основе известных правил алгебры логики 1. Каждая из указанных систем может быть реализована с помощью простейших логических элементов. Таким образом, достаточно иметь однотипные логические элементы И—НЕ (ИЛИ — НЕ), чтобы на их основе построить все многообразие цифровых схем. Однако такой способ потребует большого числа корпусов ЦИС для реализации узлов и блока ЭВМ. Из-за этого в состав серий ЦИС включаются цифровые элементы, которые не только реализуют любую логическую функцию, но и различаются по своей сложности, выражающейся в количестве логических входов, например в составе серии ЦИС, состоящей из четырех 2-входовых ключей и одного 8-входового. Это позволяет, с одной стороны, минимизировать объем оборудования при конструировании аппаратуры, а с другой, — не выпускать излишнего количества многовходовых схем.

По виду реализуемой логической функции базовые логические элементы могут быть разделены на простейшие элементы одноступенчатой (И, ИЛИ, НЕ, И—НЕ, ИЛИ—НЕ) и двухступенчатой (И—ИЛИ, И—ИЛИ—НЕ и др.) логики.

Следует отметить, что все потенциальные цифровые элементы могут работать в двух логических режимах. Если за «1» принят высокий уровень сигнала, имеет место «положительная логика» работы элемента (ИЛИ—НЕ). Если за «1» принят низкий уровень сигнала, то имеет место «отрицательная логика» работы элемента (И—НЕ). Как правило, паспортное обозначение логического элемента соответствует функции, реализуемой в режиме «положительной логики». Существуют цифровые ключи с тремя устойчивыми состояниями (тристабильные). Выходной каскад такой схемы переводится в третье состояние «Разомкнуто», если по специальному входу управления подана команда.

На основе цифровых элементов одно- и двухступенчатой логики могут быть построены сложные функциональные узлы как комбинаторные (полусумматоры, сумматоры), так и с памятью (триггеры). Все современные

серии ЦИС, как правило, включают различные типы триггеров, представляющих устройство с двумя устойчивыми состояниями, содержащее запоминающий бистабильный элемент (защелка) (собственно триггер) и схему управления. Наиболее широкое распространение получили триггеры типов RS, D, JK.

Триггер RS-типа имеет два информационных входа: R и S. При $S = 1$ (единичный вход) и $R = 0$ (нулевой вход) на выходах триггера появляются сигналы: на прямом выходе $Q=1$ и инверсном $\bar{Q} = 0$. При $S=0$ и $R=1$ выходные сигналы триггера принимают противоположные состояния ($Q = 0$, $\bar{Q}=1$). Этот триггер не имеет тактового входа. Таблица истинности для триггера RS-типа приведена в табл. 3. При одновременном поступлении сигнала «1» на входы R и S выходные сигналы триггера неопределенны, поэтому в устройствах на основе RS-триггера необходимо исключать режим, когда оба сигнала, R и S, равны единице. Триггер RS присутствует как устройство памяти в других типах триггеров.

Таблица 3

Таблица истинности для RS-триггера

Время t				Время $t+1$	
Предыдущая информация		Записываемая информация		Результат	
Выходы		Входы		Выходы	
Q	\bar{Q}	R	S	Q	\bar{Q}
0	1	0	0	0	1
0	1	0	1	1	0
0	1	1	0	0	1
0	1	1	1	X	X
1	0	0	0	1	0
1	0	0	1	1	0
1	0	1	0	0	1
1	0	1	1	X	X

X — безразличное состояние

Триггер D-типа имеет информационный вход D и вход синхронизации (тактовый). Состояние триггера после прихода тактового импульса в момент времени $t+1$ совпадает с уровнем входного сигнала на входе D, действовавшего в момент времени t . В D-триггере осуществляется задержка входного сигнала. Таблица истинности триггера D-типа приведена в табл. 4.

Таблица 4

Таблица истинности для D-триггера

Время t			Время $t+1$	
Выходы		Вход	Выходы (после подачи тактового импульса)	
Q	\bar{Q}	D	Q	\bar{Q}
0	1	0	0	1
0	1	1	1	0
1	0	0	0	1
1	0	1	1	0

Таблица 5

Таблица истинности для JK-триггера

Время t				Время $t+1$	
Выходы		Входы		Выходы (после подачи тактового импульса)	
Q	\bar{Q}	J	K	Q	\bar{Q}
0	1	0	0	0	1
0	1	0	1	0	1
0	1	1	0	1	0
0	1	1	1	1	0
1	0	0	0	1	0
1	0	0	1	0	1
1	0	1	0	1	0
1	0	1	1	0	1

Триггер JK-типа имеет два информационных входа, J и K, и тактовый вход синхронизации. В отличие от триггера RS-типа, при условии $J=1$, $K=1$ он осуществляет инверсию предыдущего состояния (т. е. перебрасывается при одновременном поступлении $J=1$, $K=1$). Таблица истинности триггера JK-типа представлена в табл. 5.

Следует отметить, что кроме функциональной классификации триггеры могут различаться по способу записи информации. Они могут быть асинхронные, когда запись информации осуществляется непосредственно с поступлением информационного сигнала, и тактируемые, когда запись информации осуществляется только при подаче разрешающего тактирующего импульса (поступающего на специальный тактовый вход). Срабатывание триггера может происходить одновременно с поступлением тактирующего сигнала или после окончания его действия.

Условные обозначения (функциональные схемы) логических элементов и триггеров, входящих в состав наиболее популярных серий ЦИС, и примеры реализации с помощью логических элементов различных функций показаны в табл. 6.

Классификация и основные электрические параметры ЦИС.

Развитие микроэлектроники способствовало появлению малогабаритных, высоконадежных и экономичных вычислительных устройств на основе ЦИС. Требование увеличения быстродействия и уменьшения мощности потребления вычислительных средств привело к созданию серий ЦИС. Серия представляет собой комплект ИС, имеющих единое конструктивно-технологическое исполнение.

За 25 лет развития ЦИС базовые электронные ключи развивались в следующей последовательности: резистивно-транзисторная логика (РТЛ), резистивно-емкостная транзисторная логика (РЕТЛ), диодно-транзисторная логика (ДТЛ), транзисторно-транзисторная логика (ТТЛ), эмиттерно-связанная логика (ЭСЛ), интегральная инжекционная логика (И²Л). В этих обозначениях словом «логика» заменяется понятие «электронный ключ».

Наряду с биполярными схемами широкое распространение получили ЦИС на МОП структурах (на транзисторах *p*- и *n*-типов с обогащаемым каналом, КМОП схемы на дополняющих транзисторах). Серии РТЛ, РЕТЛ и ДТЛ хотя и продолжают выпускаться промышленностью, но используются для комплектации серийной РЭА и не применяются в новых разработках. Наиболее широкое распространение в современной аппаратуре получили серии ИС ТТЛ, ЭСЛ и схемы на МОП структурах. Опыт показал, что эти ЦИС отличаются лучшими электрическими параметрами, удобны в применении, имеют более высокий уровень интеграции и обладают большим функциональным разнообразием. Так, например, в состав серии К155 входит более 100 ИС. Перспективные серии ЦИС, предназначенные для применения в аппаратуре промышленного и бытового назначения, перечислены в табл. 7.

В табл. 8 приведены сравнительные характеристики наиболее известных ЦИС различного технологического исполнения.

Таблица 6

Функциональные схемы логических элементов и триггеров, примеры реализации различных функций с помощью логических элементов

Элемент (схема)	Выполняемая функция	Элемент (схема)	Выполняемая функция
НЕ (инвертор) (рис. 1)	$Y = \overline{X}$	И—ИЛИ—НЕ (схема на основе элементов И—НЕ) (рис. 7)	$Y = X_1X_2 + X_3X_4$
И (конъюнктор) (рис. 2)	$Y = X_1X_2$	И—ИЛИ—НЕ (рис. 8)	$Y = X_1X_2 + X_3X_4$
И—НЕ (штрих Шеффера) (рис. 3)	$Y = \overline{X_1X_2}$	Асинхронный RS-триггер (входы в R- и S-группах связаны по логике И) (рис. 9)	—
ИЛИ (дизъюнктор) (рис. 4)	$Y = X_1 + X_2$	JK-триггер, построенный по принципу двухступенчатого запоминания информации (входы в J- и K-группах связаны по логике И) (рис. 10)	—
ИЛИ—НЕ (стрелка Пирса) (рис. 5)	$Y = \overline{X_1 + X_2}$	D-триггер с управляющим входом и выходами R (установка «0») и S (установка «1») (рис. 11)	—
И—ИЛИ (схема на основе элементов И—НЕ) (рис. 6)	$Y = X_1X_2 + X_3X_4$		

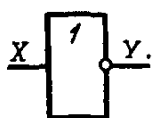


Рис. 1

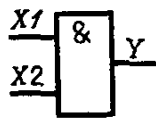


Рис. 2

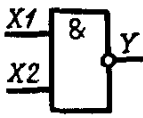


Рис. 3

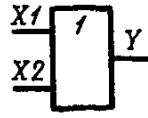


Рис. 4

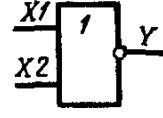


Рис. 5

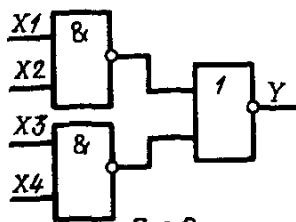


Рис. 6

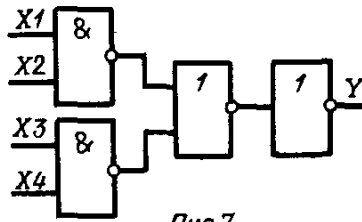


Рис. 7

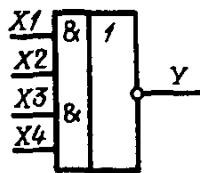


Рис. 8

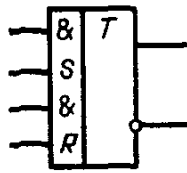


Рис. 9

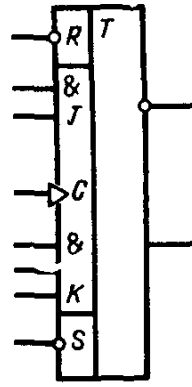


Рис. 10

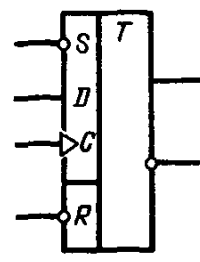


Рис. 11

Таблица 7

Серии цифровых ИС для аппаратуры промышленного и бытового назначения

Серия	Число ИС в серии (1982 г.)	Назначение
133	65	Построение узлов ЭВМ и устройств дискретной автоматки среднего быстродействия
K155	106	
KM155	58	
134	30	Построение узлов ЭВМ и дискретной автоматки с малым потреблением мощности
KP134	12	
130	12	Построение быстродействующих узлов ЭВМ и устройств дискретной автоматки
530	32	Построение узлов ЭВМ и устройств дискретной автоматки с высоким быстродействием и малой потребляемой мощностью
533	47	
K531	57	
K555	43	
KM555	30	
KP556	4	
KP541	21	
100	43	
500	39	
K500	72	
K176	38	Построение вычислительных комплексов высокого быстродействия
K561	40	
564	27	
537	2	
KP537	2	
KP188	2	

Таблица 8

Основные характеристики ЦИС

Характеристика	рМОП	пМОП	кМОП	ТТЛ	ЭСЛ	И ² Л
Площадь, приходящаяся на один логический элемент (10 ⁻³ мм ²)	5...7,5	3,7...5	6,25... ...18,7	12,5... ...37,5	12,5... ...31	2,5... ...3,7
Задержка, возникающая на одном логическом элементе, нс	>100	40...100	15...50	3...10	0,5...2	>5
Статическая мощность рассеяния, мВт	2...3	0,20,5	<0,001	1...3	5...15	<0,2
Показатель «мощность×быстродействие», пДж	200	10...50	3	10	10	<1
Число процессов диффузии и ионного легирования	2	3	4	4	4—5	3—4
Число этапов маскирования	5	6	7	7	8—9	5—7

Как уже указывалось, большинство ЦИС малой степени интеграции, входящих в состав серии, представляет собой сочетания логических элементов, выполняющие функции НЕ, И—НЕ, ИЛИ—НЕ, И—ИЛИ—НЕ. Это так называемые базовые логические элементы. Их основные электрические параметры определяют характеристики практически всех ИС, входящих в состав серии. От этих параметров зависят возможности совместной работы ИС разных серий в составе аппаратуры, поэтому ряд основных электрических параметров является общим для ЦИС и позволяет сравнивать их между собой. К таким параметрам относятся: быстродействие, потребляемая мощность ($P_{\text{пот}}$), помехоустойчивость ($U_{\text{пом}}$), коэффициент разветвления по выходу (нагрузочная способность $K_{\text{раз}}$), коэффициент объединения по входу $K_{\text{об}}$.

Рассмотрим более подробно каждый из этих параметров. Быстродействие определяется динамическими параметрами ЦИС, к которым относятся: $t^{1,0}$ — время перехода из «1» (высокий уровень) в «0» (низкий уровень); $t^{0,1}$ — время перехода из состояния низкого уровня в состояние высокого уровня; $t^{1,0}_{\text{зд}}$ — время задержки включения; $t^{0,1}_{\text{зд}}$ — время задержки выключения; $t^{1,0}_{\text{зд.р.}}$ — время задержки распространения при включении; $t^{0,1}_{\text{зд.р.}}$ — время задержки распространения при выключении; $t_{\text{зд.р. ср.}}$ — среднее время задержки распространения сигнала; $\tau_{\text{и}}$ — длительность импульса; $f_{\text{р}}$ — рабочая частота. Среднее время задержки распространения $t_{\text{зд.р. ср.}} = 0,5(t^{1,0}_{\text{зд.р.}} + t^{0,1}_{\text{зд.р.}})$ является усредненным параметром быстродействия, используемым при расчете временных характеристик последовательно включенных ЦИС.

На рис. 3.1 показаны уровни отсчета, относительно которых определяются динамические параметры.

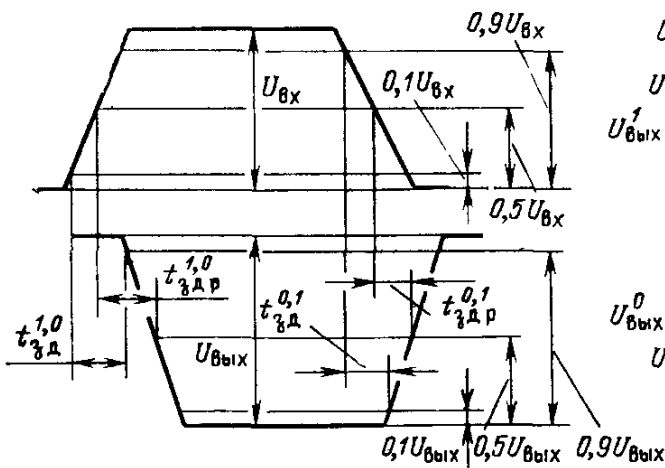


Рис. 3.1. Уровни отсчета, относительно которых определяются динамические параметры

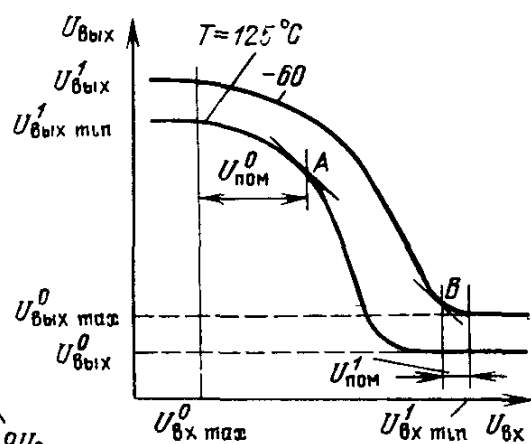


Рис. 3.2. Передаточные характеристики логического элемента НЕ, предельные для семейства передаточных характеристик, полученных при различных температурах

Потенциальные логические элементы при работе в составе цифрового устройства могут находиться либо в статическом режиме (в состоянии «0» или «1»), либо в динамическом (переходной процесс). В зависимости от вида технологии, по которой выполнены логические элементы, мощность, потребляемая от источника питания, различна для каждого состояния. Одни элементы потребляют большую мощность в статическом режиме, которая лишь незначительно увеличивается в момент переключения, другие, наоборот, характеризуются значительным возрастанием потребляемого тока во время переключения. Логические элементы с малым потреблением мощности в динамическом режиме характеризуются средней потребляемой мощностью

$$P_{\text{пот ср}} = 0,5 (P_{\text{пот}}^0 + P_{\text{пот}}^1),$$

где $P_{\text{пот}}^0$ — мощность, потребляемая схемой в состоянии «0», $P_{\text{пот}}^1$ — мощность, потребляемая схемой в состоянии «1».

Мощность, потребляемая этими ИС в момент переходных процессов, не превышает мощности, потребляемой в одном из логических состояний.

Логические элементы с возрастающим потреблением в динамическом режиме кроме статической средней мощности характеризуются мощностью, потребляемой на максимальной частоте переключения, когда во много раз возрастают токи в цепях питания. Примером таких схем являются КМОП ИС, которые потребляют микроамперные токи питания, если нет переключающих сигналов. Допустимый предел статической помехоустойчивости логического элемента ограничивает уровень случайного напряжения, которое может присутствовать на его входе без опасности ложного срабатывания.

В статическом режиме различают статическую помехоустойчивость по низкому уровню ($U_{\text{пом}}^0$) и по высокому ($U_{\text{пом}}^1$). Значения величин $U_{\text{пом}}^0$ и $U_{\text{пом}}^1$ определяют с помощью передаточных характеристик (рис. 3.2). Как видно из рис. 3.2, параметр $U_{\text{пом}}^1$ определяется как разность минимального напряжения высокого уровня ($U_{\text{вх min}}^1$) и напряжения в точке перегиба на верхней кривой (точка *B*). Параметр $U_{\text{пом}}^0$ определяется как разность напряжения в точке перегиба нижней кривой (точка *A*) и максимального напряжения низкого уровня ($U_{\text{вх min}}^0$).

Для более полной оценки помехоустойчивости схемы наряду со статической необходимо учитывать динамическую помехоустойчивость. Помехоустойчивость в динамическом режиме зависит от длительности, амплитуды и формы сигнала помехи, а также от значения статической помехоустойчивости и скорости переключения логического элемента.

Коэффициент разветвления по выходу (нагрузочная способность) $K_{\text{раз}}$ определяет число входов аналогичных элементов, которое может быть без нарушения работоспособности подключено к выходу предыдущего логического элемента. С увеличением нагрузочной способности расширяются возможности применения ЦИС, уменьшается число корпусов в разрабатываемом цифровом

устройстве. Однако при этом ухудшаются некоторые параметры ЦИС: снижаются быстродействие и помехоустойчивость и возрастает потребляемая мощность.

В состав серии ЦИС наряду с основными логическими элементами, имеющими нагрузочную способность $K_{\text{раз}}=4\dots 10$, включаются мощные буферные элементы $K_{\text{раз}} = 20\dots 30$. Это позволяет при проектировании цифровых устройств получать оптимальные показатели по числу используемых корпусов ИС и потребляемой мощности. Необходимо отметить, что нагрузочные входы ИС РТЛ и РЕТЛ потребляют ток с выхода нагружаемого элемента, а ИС ДТЛ и ТТЛ в одном логическом состоянии («0» или «1») отдают ток в нагрузку, а в другом потребляют его от нагрузки. Для МОП ЦС нагрузка имеет емкостной характер.

Коэффициент объединения по входу ($K_{об}$) определяет максимальное число входов ЦИС. Различают коэффициенты объединения по входу И ($K_{обИ}$) по входу ИЛИ ($K_{обИЛИ}$) Основные логические элементы выполняются с небольшим числом входов ($K_{обИ}=2 \dots 4$; $K_{обИЛИ}=2\dots 4$). Для увеличения числа входов в отдельных логических элементах, входящих в серию, предусматривают специальные входы для организации схемы расширения (точнее, наращивания), обеспечивающей до 10 входов и более. Соответственно в серию ЦИС вводится схема расширителя. В ряде серий имеются логические элементы с числом входов, равным восьми.

ЭКСПЕРИМЕНТАЛЬНАЯ ЧАСТЬ.

Приборы и оборудование.

Лабораторная работа по исследованию логических схем и операций, реализуемых на их основе выполняется на комбинированном лабораторном приборе УМ-11К-01, лицевая панель и органы управления которым схематично представлены на рис 4.1. Установка позволяет выполнять 14 экспериментов по теме «Изучение логических схем и операций, реализуемых на их основе».

Установка предназначена для проведения лабораторных работ по курсу "Схемотехника ЭВМ" в высших учебных заведениях.

Установка может быть использована в различных курсах, изучающих основы цифровой техники в высших и средних специальных учебных заведениях.

Установка выполнена в климатическом исполнении УХЛ, категория 4.2 ГОСТ 15150-69 для эксплуатации в помещении при температуре от 10°C до 35°C и относительной влажности до 80 %.

Учебная установка конструктивно состоит из нескольких элементов, конструктивно объединенных в одном корпусе:

- набора изучаемых элементов и устройств цифровой техники; наборного поля, на которое выведены входы и выходы элементов и устройств;
- блока задающего, являющегося источником синхроимпульсов;
- стабилизированного источника питания, подающего питание нужной полярности и значения на все элементы схемы;
- схемы контроля необходимых параметров, осуществляющей информацию о ходе эксперимента и вывод на экран LCD дисплея.

Для управления установкой предназначены клавиши управления 9-10 (см. рис. 4.1). Кнопка 9 служит для выбора необходимого опыта, кнопка 10 служит для входа/выхода в выбранный эксперимент. Назначение клавиш может меняться в зависимости от эксперимента. Сигнальные светодиоды 11-18 и 22-29 служат для индикации логического состояния входов и выходов каждой исследуемой микросхемы.

ИЗМЕРИТЕЛЬНЫЙ ПРИБОР



УСТАНОВКА ВХОДА

- 1
- 2
- 3
- 4
- 5
- 6
- 7
- 8

- 11
- 12
- 13
- 14
- 15
- 16
- 17
- 18

ИНДИКАЦИЯ ВХОДА



30

ИНДИКАЦИЯ ВЫХОДА

- 22
- 23
- 24
- 25
- 26
- 27
- 28
- 29

УПРАВЛЕНИЕ

- 9
- 10

- 19
- 20
- 21

ИНДИКАЦИЯ УПРАВЛЕНИЯ

31



Рис. 4.1 Лицевая панель и органы управления прибора УМ-11К-01

Опыт 1. Исследование операции «ЛОГИЧЕСКОЕ <НЕ>» - ИНВЕРТОР.

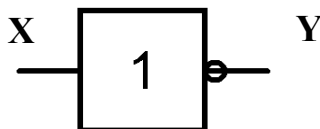


Рис. 4.2 Логическая операция <НЕ>

Исследуемая операция может быть записана как $Y = \bar{X}$ и изображается на схемах так, как это представлено на рисунке 4.2. При этом назначение кнопок следующее:

1-8 кнопки управления логическими состояниями входов (11-18). (22-29) выходы логических элементов (инверторов). Каждый из восьми исследуемых инверторов имеет один вход и один выход.

Опыт 2. Исследование операции «КОНЪЮНКЦИЯ <8И>»

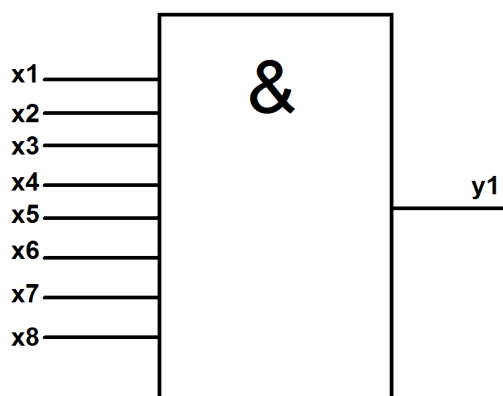


Рис. 4.3 Логическая операция КОНЪЮНКЦИЯ <8И>

Исследуемая операция может быть записана как $Y_1 = X_1 X_2 X_3 X_4 X_5 X_6 X_7 X_8$ и изображается на схемах так, как это представлено на рисунке 4.3. Таким образом, на выходе Y_1 логического элемента будет логическая «1» только в случае, если на его логических входах x_1 - x_8 будут логические «1», во всех остальных случаях на выходе Y_1 будет логический «0». При этом назначение кнопок следующее:

1-8 кнопки управления логическими состояниями входов (11-18). 22-выход.

Опыт 3. Исследование операции «КОНЪЮНКЦИЯ — ОТРИЦАНИЕ <8И-НЕ>»

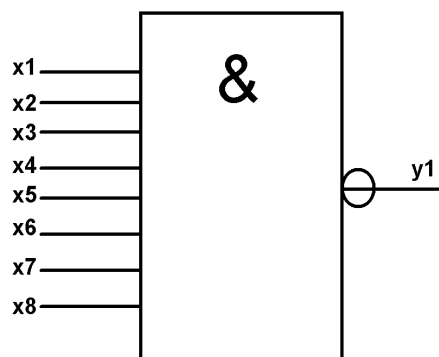


Рис. 4.4 Логическая операция КОНЪЮНКЦИЯ-ОТРИЦАНИЕ <8И-НЕ>

Исследуемая операция может быть записана как $Y_1 = \overline{X_1 X_2 X_3 X_4 X_5 X_6 X_7 X_8}$ и изображается на схемах так, как это представлено на рисунке 4.4. Таким образом, логический элемент осуществляет побитовое логическое перемножение входов x1-x8 и одновременно инвертирует результат. При этом назначены следующие:

1-8 кнопки управления логическими состояниями входов (11-18). 22-ВЫХОД.

Опыт 4. Исследование операции «ДИЗЪЮНКЦИЯ <8ИЛИ>»

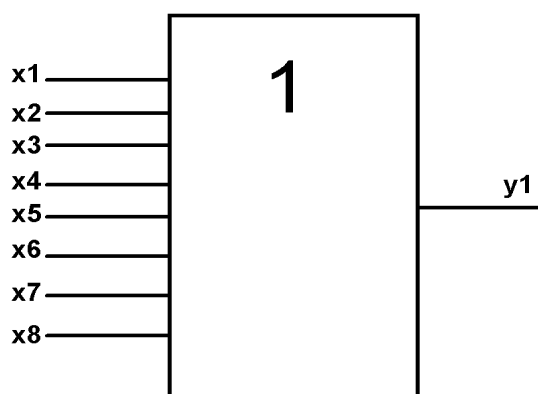


Рис. 4.5 Логическая операция «ДИЗЪЮНКЦИЯ <8ИЛИ>»

Исследуемая операция может быть записана как $Y_1 = X_1 + X_2 + X_3 + X_4 + X_5 + X_6 + X_7 + X_8$ и изображается на схемах так, как это представлено на рисунке 4.5. Таким образом, логический элемент осуществляет побитовое логическое суммирование входов x1-x8. При этом назначены следующие:

1-8 кнопки управления логическими состояниями входов (11-18). 22-ВЫХОД.

Опыт 5. Исследование операции «ДИЗЬЮНКЦИЯ-ОТРИЦАНИЕ <ИЛИ-НЕ>»

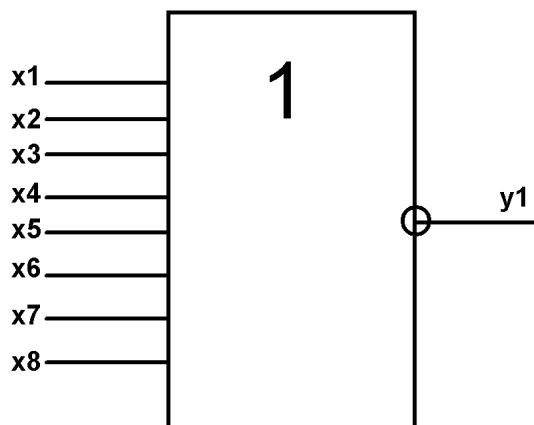


Рис. 4.6 Логическая операция «ДИЗЬЮНКЦИЯ <ИЛИ-НЕ>»

Исследуемая операция может быть записана как $Y_1 = X_1 + X_2 + X_3 + X_4 + X_5 + X_6 + X_7 + X_8$ и изображается на схемах так, как это представлено на рисунке 4.6. Таким образом, логический элемент осуществляет побитовое логическое суммирование входов x1-x8 и одновременно инвертирует результат. При этом назначения кнопок следующие: 1-8 кнопки управления логическими состояниями входов (11-18). 22-выход.

Опыт 6. Исследование операции «ИСКЛЮЧАЮЩЕЕ <ИЛИ> =1»

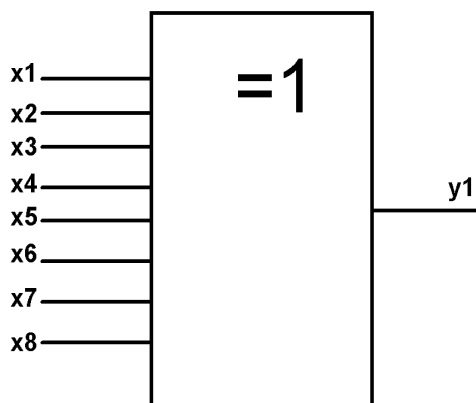


Рис. 4.7 Логическая операция «ИСКЛЮЧАЮЩЕЕ <ИЛИ> =1»

Исследуемая операция изображается на схемах так, как это представлено на рисунке 4.7. Логический элемент ожидает появления логической «1» на каком-либо из входов x1-x8 (только на каком-либо одном входе) и только в этом случае на выходе $y_1 = 1$. Во всех остальных случаях $y_1 = 0$. При этом назначения кнопок следующие:

1-8 кнопки управления логическими состояниями входов (11-18). 22-выход.

Опыт 7. Счетчик двоично-десятичный.

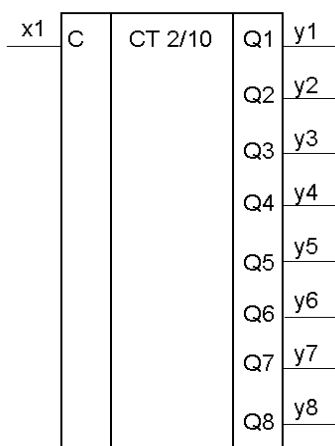


Рис. 4.8 Счетчик двоично-десятичный

Исследуемый элемент обычно изображается на схемах так, как это представлено на рисунке 4.8. Счетчики предназначены для подсчета числа входных импульсов. Основным элементом при построении счетчиков являются триггерные устройства. Один триггер образует один разряд счетчика. n - триггеров образуют n - разрядный счетчик. Так как каждый триггер имеет два устойчивых состояния, то n - триггеров имеют 2^n состояний. Основным параметром любого счетчика является его емкость (коэффициент пересчета, модуль счета).

$K_{сч} = 2^n$ - максимальное число состояний счетчика, включая нулевое состояние. Количество импульсов, которое может быть подсчитано n - разрядным счетчиком равно $N = 2^n - 1$ (исключается нулевое состояние).

Счетчики можно классифицировать:

1. По основанию системы – двоичные и десятичные.
2. По способу организации счета – асинхронные и синхронные.
3. По направлению переходов – суммирующие, вычитающие, реверсивные.
4. По способу построения цепей сигналов переноса – с последовательным, сквозным, групповым и частично – групповым переносом.

Счетчики представляют собой более высокий, чем регистры, уровень сложности цифровых микросхем, имеющих внутреннюю память. Хотя в основе любого счетчика лежат те же самые триггеры, которые образуют и регистры, но в счетчиках триггеры соединены более сложными связями, в результате чего их функции - сложнее, и на их основе можно строить более сложные устройства, чем на регистрах. Точно так же, как и в случае регистров, внутренняя память счетчиков - оперативная, то есть ее содержимое сохраняется только до тех пор, пока включено питание схемы. С выключением питания память стирается, а при новом включении питания схемы содержимое памяти будет произвольным, случайным, зависящим только от конкретной микросхемы, то есть выходные

сигналы счетчиков будут произвольными.

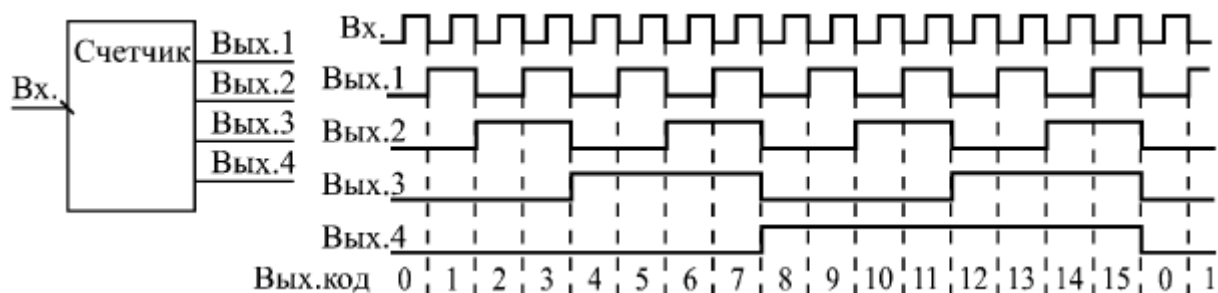


Рис. 4.9 Работа 4-разрядного двоичного счетчика

Как следует из самого названия, счетчики предназначены для счета входных импульсов. То есть с приходом каждого нового входного импульса двоичный код на выходе счетчика увеличивается (или уменьшается) на единицу. Срабатывать счетчик может по отрицательному фронту входного (тактового) сигнала (как на рисунке) или по положительному фронту. Режим счета обеспечивается использованием внутренних триггеров, работающих в счетном режиме. Выходы счетчика представляют собой как раз выходы этих триггеров. Каждый выход счетчика представляет собой разряд двоичного кода, причем разряд, переключающийся чаще других (по каждому входному импульсу), будет младшим, а разряд, переключающийся реже других, - старшим.

Счетчик может работать на увеличение выходного кода по каждому входному импульсу; это основной режим, имеющийся во всех счетчиках, он называется режимом прямого счета. Счетчик может также работать на уменьшение выходного кода по каждому входному импульсу; это режим обратного или инверсного счета, предусмотренный в счетчиках, называемых реверсивными. Инверсный счет бывает довольно удобен в схемах, где необходимо отсчитывать заданное количество входных импульсов.

Большинство счетчиков работают в обычном двоичном коде, то есть считают от 0 до $(2^N - 1)$, где N - число разрядов выходного кода счетчика. Например, 4-разрядный счетчик в режиме прямого счета будет считать от 0 (код 0000) до 15 (код 1111), а 8-разрядный - от 0 (код 0000 0000) до 255 (код 1111 1111). После максимального значения кода счетчик по следующему входному импульсу переключается опять в 0, то есть работает по кругу. Если же счет - инверсный, то счетчик считает до нуля, а дальше переходит к максимальному коду 111...1.

Имеются также двоично-десятичные счетчики, предельный код на выходе которых не превышает максимального двоично-десятичного числа, возможного при данном количестве разрядов. Например, 4-разрядный двоично-десятичный счетчик в режиме прямого счета будет считать от 0 (код 0000) до 9 (код 1001), а затем снова от 0 до 9. А 8-разрядный двоично-десятичный счетчик будет считать от 0 (код 0000 0000) до 99 (код 1001 1001). При инверсном счете

двоично-десятичные счетчики считают до нуля, а со следующим входным импульсом переходят к максимально возможному двоично-десятичному числу (то есть 9 - для 4-разрядного счетчика, 99 - для 8-разрядного счетчика). Двоично-десятичные счетчики удобны, например, при организации десятичной индикации их выходного кода. Применяются они гораздо реже обычных двоичных счетчиков.

По быстродействию все счетчики делятся на три большие группы:

- Асинхронные счетчики (или последовательные).
- Синхронные счетчики с асинхронным переносом (или параллельные счетчики с последовательным переносом, синхронно-асинхронные счетчики).
- Синхронные счетчики (или параллельные).

Принципиальные различия между этими группами проявляются только на втором уровне представления, на уровне модели с временными задержками. Причем больше всего различия эти проявляются при каскадировании счетчиков. Наибольшим быстродействием обладают синхронные счетчики, наименьшим - асинхронные счетчики, наиболее просто управляемые среди других. Каждая группа счетчиков имеет свои области применения.

В данном эксперименте изучается работа простейшего обычного 8-и разрядного двоично-десятичного счетчика, считающем в обычном двоичном коде. Счетчик представляется собой аналог микросхемы К555ИЕ19, содержащую два четырехразрядных двоичных счетчика рис. 4.10.

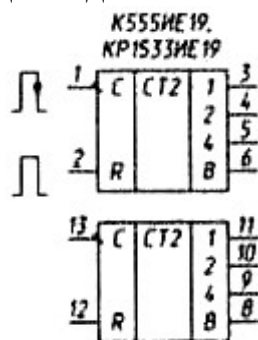


Рис. 4.10 Микросхема К555ИЕ19

Микросхема К555ИЕ19 - два четырехразрядных двоичных счетчика (рис. 4.10), каждый из которых имеет два входа: R - для установки триггеров счетчика в 0 при подаче на вход R лог. 1 и C - для подачи счетных импульсов. Срабатывание триггеров в исследуемом счетчике происходит по нарастанию импульсов положительной полярности, т. е. переходу из логического 0 в 1 (в отличие от К555ИЕ19, где срабатывание происходит по спаду импульсов), подаваемых на вход C, вход R в данном опыте не используется.

В опыте предусмотрена возможность выбора режима подачи счетных импульсов — ручной режим и автоматический. При этом назначении кнопок следующее:

9 — переключение между ручным и автоматическим режимами подачи

счетных импульсов

30 — установка периода подачи импульсов в автоматическом режиме

1 — кнопка подачи счетных импульсов в ручном режиме

11 — индикация входа счетных импульсов

22 — 29 индикация выходов счетчика.

В ходе эксперимента следует, подавая известное число импульсов в ручном режиме кнопкой 1, переводить двоичный код на выходе счетчика в десятичное число, которое и будет являться числом подсчитанных счетчиком импульсов. Эту операцию можно проделать и в автоматическом режиме при установке большого периода подачи импульсов (когда импульсы на вход счетчика подаются достаточно медленно).

Опыт 8. Счетчик десятичный.

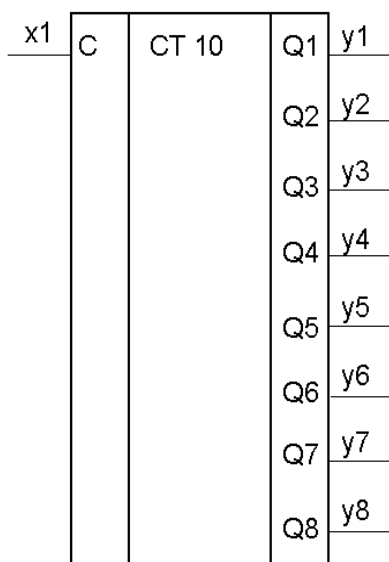


Рис. 4.11 Счетчик десятичный

Человек, который работает с электронной техникой, привык работать с десятичной системой счисления, поэтому возникает необходимость отображать хранящееся в счётчике число в непосредственно десятичном виде. Введением дополнительных логических связей — обратных и прямых — двоичные счетчики преобразуются в недвоичные. Наибольшее распространение получили десятичные (декадные) счетчики, работающие с $K=10$ в двоично-десятичном коде (двоичный — по коду счета, десятичный — по числу состояний). Исследуемый элемент обычно изображается на схемах так, как это представлено на рисунке 4.11.

Построить недвоичный счётчик можно из двоичного за счёт выбрасывания лишних комбинаций единиц и нулей. Это может быть осуществлено при помощи обратной связи. Для этого при помощи дешифратора определяется число, соответствующее коэффициенту счёта, и сигнал с выхода этого дешифратора обнуляет содержимое двоичного счётчика. Для этого при помощи

дешифратора определяется число, соответствующее коэффициенту счёта, и сигнал с выхода этого дешифратора обнуляет содержимое двоичного счётчика.

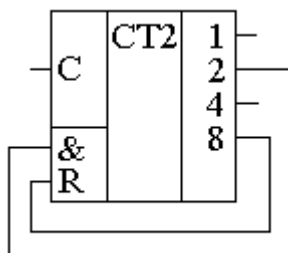


Рис. 4.12 Схема десятичного счётчика, построенного на основе двоичного счётчика.

В этой схеме дешифратор построен на двухвходовой схеме "2И", входящей в состав микросхемы двоичного счётчика. Дешифратор декодирует число 10 (1010 в двоичной системе счисления). В соответствии с принципами построения схем по произвольной таблице истинности для построения дешифратора требуется ещё два инвертора, подключённых к выходам 1 и 4. Однако после сброса счётчика числа, большие 10 никогда не смогут появиться на выходах микросхемы. Поэтому схема дешифратора упрощается и вместо четырёхвходовой схемы "4И" можно обойтись двухвходовой схемой. Инверторы тоже оказываются лишними.

Таким образом, для построения десятичного счётчика на выход двоичного счётчика необходимо установить элемент переводящий двоичный код в десятичный (дешифратор).

В опыте предусмотрена возможность выбора режима подачи счетных импульсов — ручной режим и автоматический. При этом назначении кнопок следующее:

9 — переключение между ручным и автоматическим режимами подачи счетных импульсов

30 — установка периода подачи импульсов в автоматическом режиме

1 — кнопка подачи счетных импульсов в ручном режиме

11 — индикация входа счетных импульсов

22 — 29 индикация выходов счетчика.

Опыт 9. Дешифратор трехразрядный.

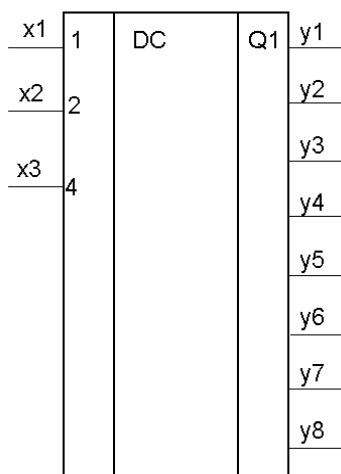


Рис. 4.13 Дешифратор трехразрядный

В цифровой технике, наряду со счетчиками, регистрами широко применяется элемент, так же называемый дешифратором. Наверно правильно будет называть его: "Простой линейный дешифратор". Его назначение - преобразовать двоичный код в линейный. Исследуемый элемент обычно изображается на схемах так, как это представлено на рисунке 4.13. Рассмотрим это подробнее. На вход дешифратора подается двоичное число, имеющее N двоичных разрядов (не менее двух). Для этого дешифратор имеет N специальных входов. Дешифратор так же имеет несколько выходов. Их количество никогда не превышает **2 в степени N**. Выходной сигнал появляется лишь на том выходе дешифратора, номер которого соответствует двоичному числу на его входе. Рассмотрим это подробнее на примере. На рис. 4.14. приведена внутренняя схема дешифратора формата 2/4 (то есть два входа, четыре выхода).

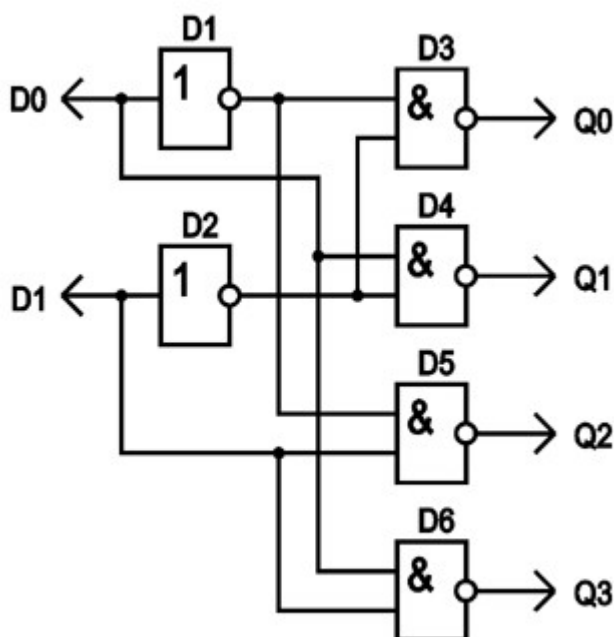


Рис. 4.14 Внутренняя схема дешифратора 2/4

Это минимальный дешифратор (меньше двух входов быть не может). На вход **D0** подается младший разряд двух разрядного двоичного числа, а на вход **D1** - старший разряд. Внутри дешифратора каждый из входных сигналов инвертируется. В результате получаются четыре сигнала: два прямых и два инвертированных. Затем эти сигналы подаются на выходные элементы "2И-НЕ" (**D3 - D6**). На каждый выходной элемент приходит один сигнал от **D0**, и один от **D1**, но каждый из них либо прямой, либо инверсный. Разводка сигналов сделана так, что при нужном сочетании сигналов на входе дешифратора на обоих входах соответствующего выходного элемента присутствуют логические единицы. Результат работы такого дешифратора хорошо понятен из его таблицы истинности:

D1	D0	Q3	Q2	Q1	Q0
0	0	1	1	1	0
0	1	1	1	0	1
1	0	1	0	1	1
1	1	0	1	1	1

Посмотрим внимательно на таблицу.

1. Сигналы на входах **D0** и **D1** принимают все возможные комбинации значений. Этих комбинаций четыре (**2 в степени 2**). Ровно столько же имеется выходов у дешифратора. Для каждой комбинации - один выход. Такой дешифратор называется полным дешифратором. Если число выходов дешифратора меньше, чем число возможных комбинаций входных сигналов, то такой дешифратор называется неполным.

2. Если на входы дешифратора подано некое двоичное число, то на том его выходе, номер которого соответствует этому числу, появляется сигнал логического нуля. На остальных выходах устанавливается сигнал логической единицы. Это значит, что рассматриваемый дешифратор имеет инверсные выходы. В общем случае возможен дешифратор с прямыми выходами. У них на всех выходах ноль, а на активном выходе единица. Но так уж сложилось, что на практике применяются исключительно дешифраторы с инверсными выходами.

Реальные микросхемы дешифраторов строятся по несколько более сложной схеме. По сложившейся традиции цифровые микросхемы имеют не менее 14 выводов. Делать микросхемы с неиспользуемыми выводами - недопустимое расточительство. Поэтому разработчики дешифраторов стараются максимально рационально использовать все имеющиеся выводы. В случае разработки микросхем, реализующих простые логические элементы, в каждый корпус помещают несколько элементов (обычно однотипных). В случае дешифраторам похожая картина. На рис. 4.15 изображено условное обозначение микросхемы К155ИД4 и схема ее внутреннего устройства.

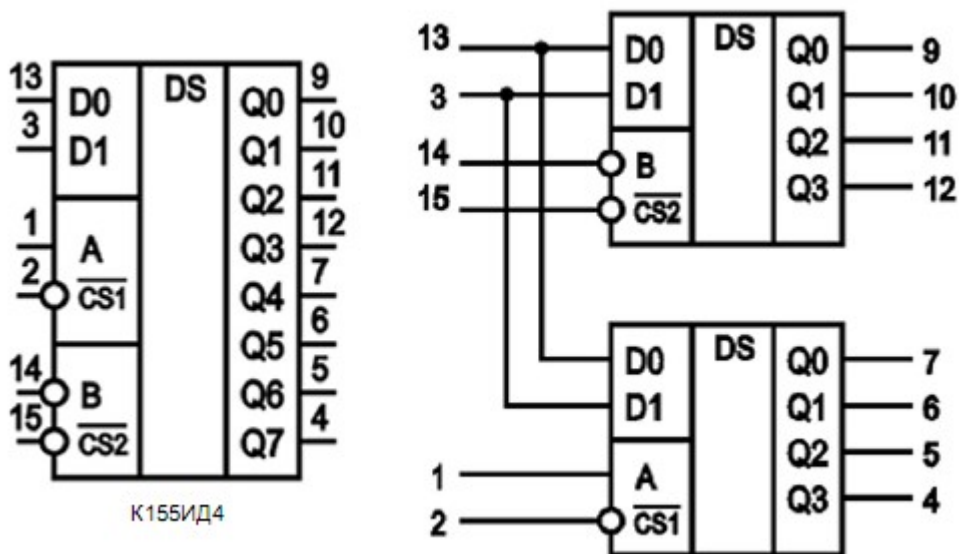


Рис. 4.15 Внутренняя схема дешифратора 2/4

Микросхема содержит два дешифратора формата 2/4. У каждого из них кроме основного входа выбора элемента имеется дополнительный вход выбора. Причем, если у одного из встроенных дешифраторов дополнительный вход выбора прямой а основной инверсный, то у другого оба входа выбора инверсные. Для того, что бы активизировать верхний по схеме дешифратор, нужно на оба входа (выв. 14 и 15) одновременно подать сигнал логического нуля. Для активизации нижнего по схеме дешифратора на вход А (выв. 1) нужно подать сигнал логической единицы, а на вход CS1 (выв. 2) - сигнал логического нуля.

Такое построение микросхемы позволяет использовать входящие в нее два дешифратора не только независимо друг от друга, но и составлять из них более сложный дешифратор формата 3/8. Схема включения в этом режиме показана на рис. 4.16.

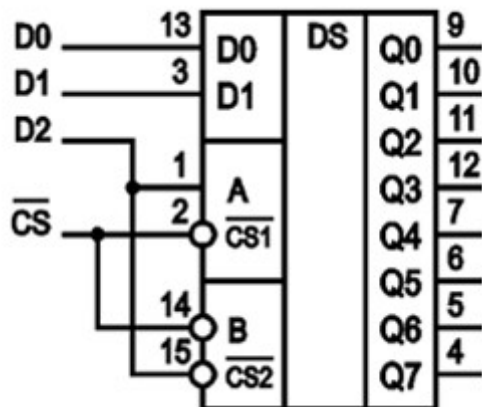


Рис. 4.18 Дешифратор 3/8 на K155ИД4

Сигнал, поступающий на вход D2 схемы всегда включает один из

Опыт 10. Шифратор трехразрядный.

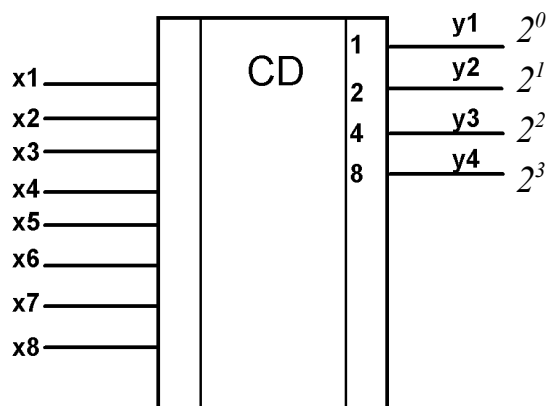


Рис. 4.19 Шифратор трехразрядный

Двоичный шифратор выполняет логическую функцию преобразования унарно n -ичного однозначного кода в двоичный. При подаче сигнала на один из n входов (обязательно на один, не более) на выходе появляется двоичный код номера активного входа. Исследуемый элемент обычно изображается на схемах так, как это представлено на рисунке 4.19. В качестве примера шифраторов можно назвать такие микросхемы отечественного производства как К555ИВ1 и К555ИВ3.

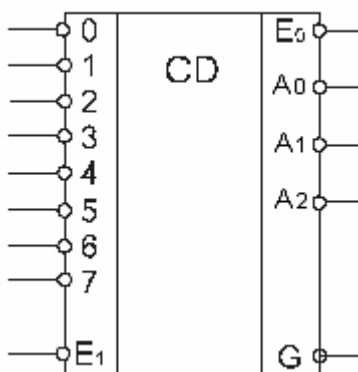


Рис. 4.20 Шифратор К555ИВ1

Шифратор, исследуемый в данной работе представляет собой близкий аналог микросхемы К555ИВ1, имеет восемь информационных входов и три выхода.

При этом, десятичное число, введенное с помощью кнопок управления на входы 11–18 преобразуется в двоичное на выходах 22–25.

Назначение кнопок управления следующее:

1 – 8 кнопки управления входами 11 — 18 (десятичное число)

22 — 25 индикация выходов (двоичное число)

Для постановки опыта кнопками управления 1 — 8 на входы x_1 – x_8

шифратора подать десятичное число, и вручную переведа это число в двоичный код, убедиться в правильности показания двоичного числа на выходах шифратора. Составить таблицу истинности шифратора.

Опыт 11. Изучение 8-ми разрядного АЦП.

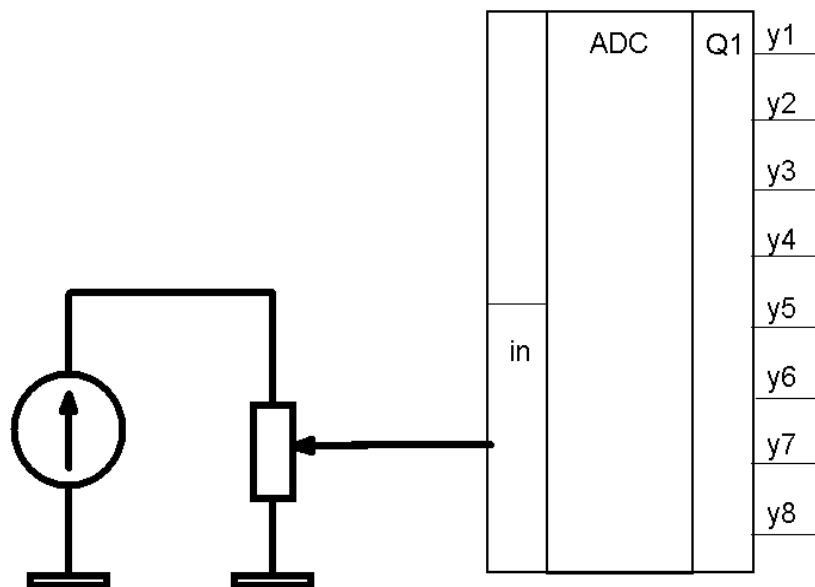


Рис. 4.21 Изучение принципов работы 8-разрядного АЦП.

Аналого-цифровые преобразователи - составляющая часть внешнего измерительного комплекса в автоматизированных системах управления и научных исследований - служит для представления аналогового сигнала в цифровой форме (в виде двоичного кода).

В учебной установке используется АЦП последовательного приближения. В основе работы этого класса преобразователей лежит принцип *дихотомии*, т.е. последовательного сравнения измеряемой величины с $1/2$, $1/4$, $1/8$ и т. д. от возможного максимального значения ее. Это позволяет для N-разрядного АЦП последовательного приближения выполнить весь процесс преобразования за N последовательных шагов (итераций) вместо 2^N-1 при использовании последовательного счета и получить существенный выигрыш в быстродействии. Так, уже при N=10 этот выигрыш достигает 100 раз и позволяет получить с помощью таких АЦП до $10^5...10^6$ преобразований в секунду. В то же время статическая погрешность этого типа преобразователей, определяемая в основном используемым в нем ЦАП, может быть очень малой, что позволяет реализовать разрешающую способность до 18 двоичных разрядов при частоте выборок до 200 кГц (например, DSP101 фирмы Burr-Brown).

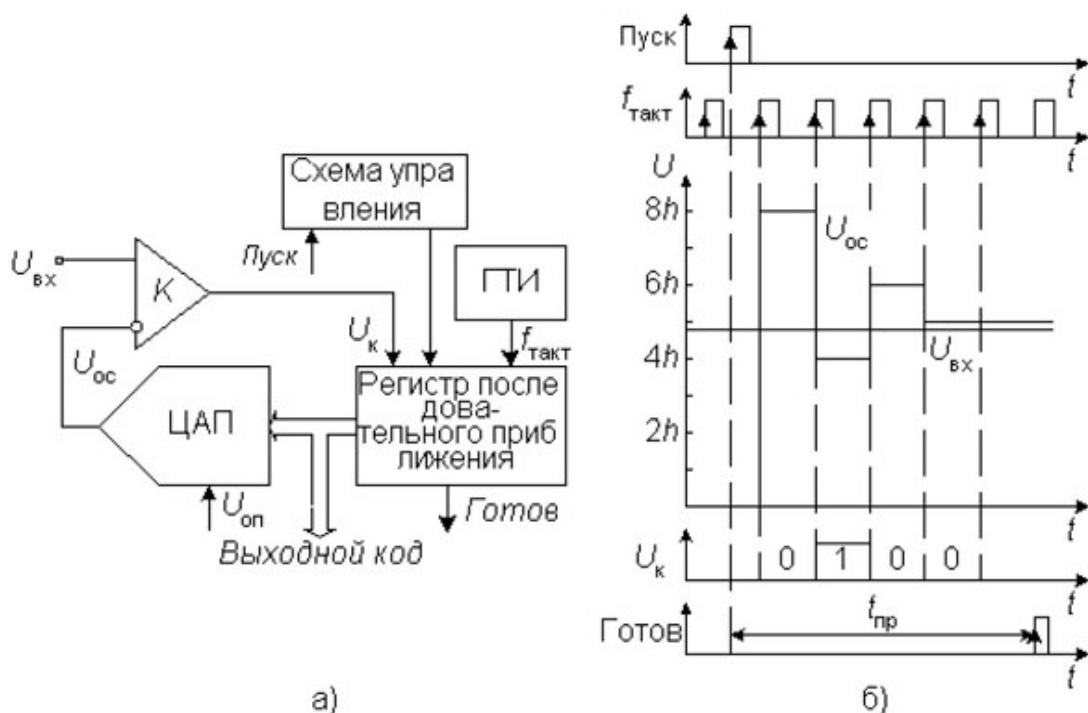


Рис. 4.22 Структурные схемы и временные диаграммы АЦП последовательного приближения.

Рассмотрим принципы построения и работы АЦП последовательного приближения на примере классической структуры (рис. 9а) 4-разрядного преобразователя, состоящего из трех основных узлов: компаратора, регистра последовательного приближения (РПП) и ЦАП.

После подачи команды "Пуск" с приходом первого тактового импульса РПП принудительно задает на вход ЦАП код, равный половине его шкалы (для 4-разрядного ЦАП это $1000_2 = 8_{10}$). Благодаря этому напряжение $U_{ос}$ на выходе ЦАП (рис. 4.22 б)

$$U_{ос} = 2^3 h.$$

где h - квант выходного напряжения ЦАП, соответствующий единице младшего разряда (ЕМР). Эта величина составляет половину возможного диапазона преобразуемых сигналов. Если входное напряжение больше, чем эта величина, то на выходе компаратора устанавливается 1, если меньше, то 0. В этом последнем случае схема управления должна переключить старший разряд d_3 обратно в состояние нуля. Непосредственно вслед за этим остаток

$$U_{вх} - d_3 2^3 h$$

таким же образом сравнивается с ближайшим младшим разрядом и т.д. После четырех подобных выравнивающих шагов в регистре последовательного приближения оказывается двоичное число, из которого после цифро-аналогового преобразования получается напряжение, соответствующее $U_{вх}$ с

точностью до 1 ЕМР. Выходное число может быть считано с РПП в виде параллельного двоичного кода по N линиям. Кроме того, в процессе преобразования на выходе компаратора, как это видно из рис. 4.22б, формируется выходное число в виде последовательного кода старшими разрядами вперед.

Быстродействие АЦП данного типа определяется суммой времени установления $t_{уст}$ ЦАП до установившегося значения с погрешностью, не превышающей 0,5 ЕМР, времени переключения компаратора t_k и задержки распространения сигнала в регистре последовательного приближения t_3 . Сумма $t_k + t_3$ является величиной постоянной, а $t_{уст}$ уменьшается с уменьшением веса разряда. Следовательно для определения младших разрядов может быть использована более высокая тактовая частота. При поразрядной вариации $f_{такт}$ возможно уменьшение времени преобразования $t_{пр}$ на 40%. Для этого в состав АЦП может быть включен контроллер.

При работе без устройства выборки-хранения апертурное время равно времени между началом и фактическим окончанием преобразования, которое так же, как и у АЦП последовательного счета, по сути зависит от входного сигнала, т.е. является переменным. Возникающие при этом апертурные погрешности носят также нелинейный характер. Поэтому для эффективного использования АЦП последовательного приближения, между его входом и источником преобразуемого сигнала следует включать УВХ. Большинство выпускаемых в настоящее время ИМС АЦП последовательного приближения (например, 12-разрядный MAX191, 16-разрядный AD7882 и др.), имеет встроенные устройства выборки-хранения или, чаще, устройства слежения-хранения (track-hold), управляемые сигналом запуска АЦП. Устройство слежения-хранения отличается тем, что постоянно находится в режиме выборки, переходя в режим хранения только на время преобразования сигнала.

Данный класс АЦП занимает промежуточное положение по быстродействию, стоимости и разрешающей способности между последовательно-параллельными и интегрирующими АЦП и находит широкое применение в системах управления, контроля и цифровой обработки сигналов.

В данном опыте изучается 8-ми разрядный АЦП последовательного приближения по схеме опыта рис. 4.21, при этом на вход АЦП с блока питания подается заранее известное напряжение (измеряемое цифровым вольтметром и отображаемое на LCD индикаторе). При поданном на вход АЦП значении 0,00 В, АЦП имеет состояние выходов (двоичный код) $x_1=0$ $x_2=0$ $x_3=0$ $x_4=0$ $x_5=0$ $x_6=0$ $x_7=0$ $x_8=0$. При максимально возможном напряжении $U=5,00$ В, подаваемом на вход АЦП, на выходе имеем 255 (FF в шестнадцатеричной системе отсчета), т. е. $x_1=1$ $x_2=1$ $x_3=1$ $x_4=1$ $x_5=1$ $x_6=1$ $x_7=1$ $x_8=1$ ($1 \cdot 2^0 + 1 \cdot 2^1 + 1 \cdot 2^2 + 1 \cdot 2^3 + 1 \cdot 2^4 + 1 \cdot 2^5 + 1 \cdot 2^6 + 1 \cdot 2^7 = 255 = FF$).

Т. о., предполагая линейность АЦП, для нахождения десятичного числа

измеренного напряжения из двоичного кода на выходе, составим пропорцию:

$$\frac{5,00 \text{ [В]} - 255}{U_{\text{изм}} - x_1 \dots x_8}$$

где $U_{\text{изм}}$ — напряжение, которое необходимо рассчитать, зная логические состояния выходов АЦП $x_1 \dots x_8$ и сравнить с показаниями вольтметра LCD ЖКД индикатора. Пример:

Пусть при некотором положении резистора на вход АЦП подано напряжение и состояние выходов равно $x_1=1$ $x_2=0$ $x_3=0$ $x_4=0$ $x_5=0$ $x_6=0$ $x_7=0$ $x_8=0$. Переведем состояние выходов АЦП из двоичного в десятичный код:

$$1 \cdot 2^0 + 0 \cdot 2^1 + 0 \cdot 2^2 + 0 \cdot 2^3 + 0 \cdot 2^4 + 0 \cdot 2^5 + 0 \cdot 2^6 + 0 \cdot 2^7 = 1$$

Зная, что максимально возможное напряжение подаваемое на АЦП равно 5,00 В, составим пропорцию:

$$\frac{5,00 \text{ [В]} - 255}{U_{\text{изм}} - 1}$$

Откуда получим искомое значение измеряемого напряжения

$$U_{\text{изм}} = \frac{1 \cdot 5,00}{255} = 0,019 \text{ .}$$

Сравнивая рассчитанное значение с показаниями вольтметра на LCD индикаторе = 0,02 В, убеждаемся в правильности работы и линейности показаний АЦП.

На основе метода последовательного приближения реализована ИМС 12-разрядного АЦП К572ПВ1 с временем преобразования 100 мкс.

В ходе опыта назначение кнопок следующее:

30 – регулировка входного напряжения на АЦП
22 — 29 — логические выходы АЦП

Опыт 12. Изучение трехразрядного Мультиплексора.

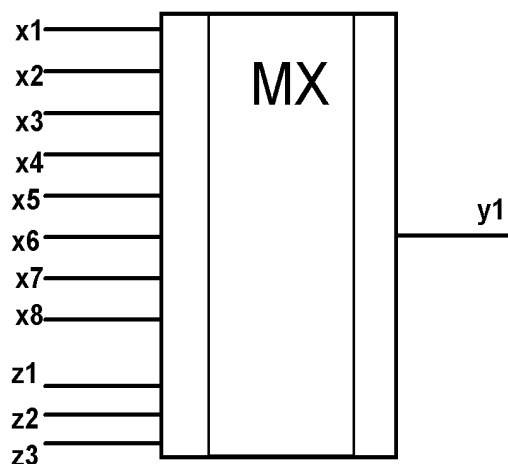


Рис. 4.23 Мультиплексор трехразрядный

Мультиплексор (коммутатор, селектор, переключатель) — устройство, имеющее несколько сигнальных входов, один или более управляющих входов и один выход. Мультиплексор позволяет передать сигнал с одного из входов на выход; при этом выбор желаемого входа осуществляется подачей соответствующей комбинации управляющих сигналов.

Аналоговые и цифровые мультиплексоры значительно различаются по принципу работы. Первые электрически соединяют выбранный вход с выходом (при этом сопротивление между ними невелико — порядка единиц/десятков ом). Вторые же не образуют прямого электрического соединения между выбранным входом и выходом, а лишь «копируют» на выход логический уровень ('0' или '1') с выбранного входа. Мультиплексоры сокращённо обозначаются как MUX (от англ. multiplexer), а также MS (от англ. multiplexer selector) и МХ.

Сигналы на адресных входах определяют, какой конкретно информационный канал подключен к выходу. Если между числом информационных входов n и числом адресных входов m действует соотношение $n = 2^m$, то такой мультиплексор называют полным. Если $n < 2^m$, то мультиплексор называют неполным.

Разрешающие входы используют для расширения функциональных возможностей мультиплексора. Они используются для наращивания разрядности мультиплексора, синхронизации его работы с работой других узлов. Сигналы на разрешающих входах могут разрешать, а могут и запрещать подключение определенного входа к выходу, то есть могут блокировать действие всего устройства.

Исследуемый элемент обычно изображается на схемах так, как это представлено на рисунке 4.23.

Исследуемый в данной работе мультиплексор представляет собой близкий аналог микросхемы К155КП5, но без инвертирования сигнала на выходе. Микросхема К155КП5 представляет собой селектор-мультиплексор на восемь каналов.

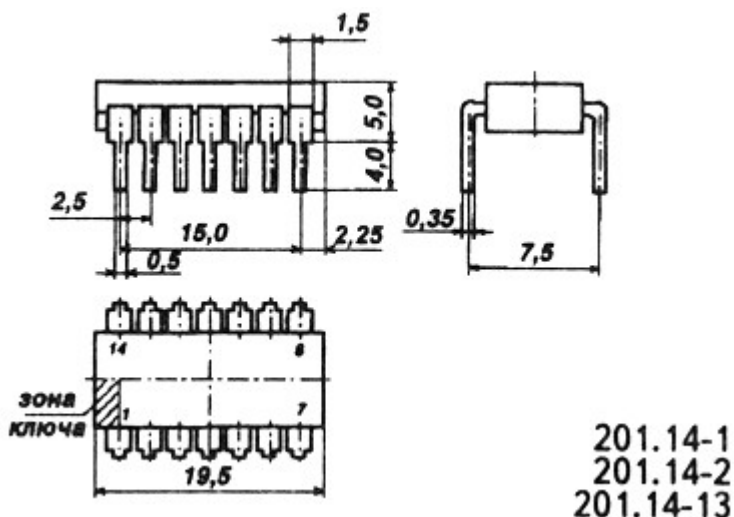
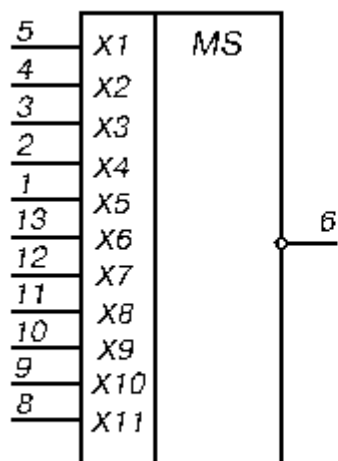


Рис. 4.24 Корпус ИМС К155КП5

Электрические параметры



- 1 - вход X5;
- 2 - вход X4;
- 3 - вход X3;
- 4 - вход X2;
- 5 - вход X1;
- 6 - выход Y;
- 7 - общий;
- 8 - вход X11;
- 9 - вход X10;
- 10 - вход X9;
- 11 - вход X8;
- 12 - вход X7;
- 13 - вход X6;
- 14 - напряжение питания;

1	Номинальное напряжение питания	5 В ± 5 %
2	Выходное напряжение низкого уровня	не более 0,4 В
3	Выходное напряжение высокого уровня	не менее 2,4 В
4	Входной ток низкого уровня	не более -1,6 мА
5	Входной ток высокого уровня	не более 0,04 мА
6	Ток потребления	не более 43 мА
7	Потребляемая статическая мощность	не более 226 мВт

Рис. 4.25 Условное графическое обозначение и электрические параметры ИМС К155КП5

В ходе опыта назначение кнопок следующее:

9 – переключение кода Z управления (индикация двоичного кода управления 19-21)

11 — 18 — индикация логического состояния входов, которые коммутируются на выход у1 (22)

1-8 — кнопки управления логическими состояниями входов

Опыт рекомендуется проводить следующим образом:

Выбрать кнопкой 9 номер логического входа (в двоичной системе), коммутируемого на выход у1. Для получения номера информационного входа с которого будет коммутироваться сигнал на выход у1, необходимо перевести

двоичное число, записанное в ячейках 19-21 в десятичное и прибавить к полученному десятичному числу 1 (единицу) (особенности конкретной микросхемы). Подать на выбранный вход логическую «1» с помощью кнопок управления 1 — 8 и убедиться, что сигнал именно с данного входа коммутируется на выход, состояние остальных входов не влияет на состояние выхода.

Пример: пусть с помощью кнопки 9 установлено состояние управляющих входов 19-21 как $z_1=1$; $z_2=2$; $z_3=0$. Для того, чтобы узнать номер коммутируемого входа найдем десятичное число, соответствующее данному состоянию $n=1 \cdot 2^0 + 1 \cdot 2^1 = 3$, т. о., прибавляя единицу («1») к результату, окончательно получим, что сигнал только с 4-ого входа x_4 будет коммутироваться на логический выход y_1 , состояния других входов игнорируются. Убеждаемся в этом, изменяя кнопкой управления 4 состояние логического входа x_4 .

Опыт 13. Изучение трехразрядного демультиплектора.

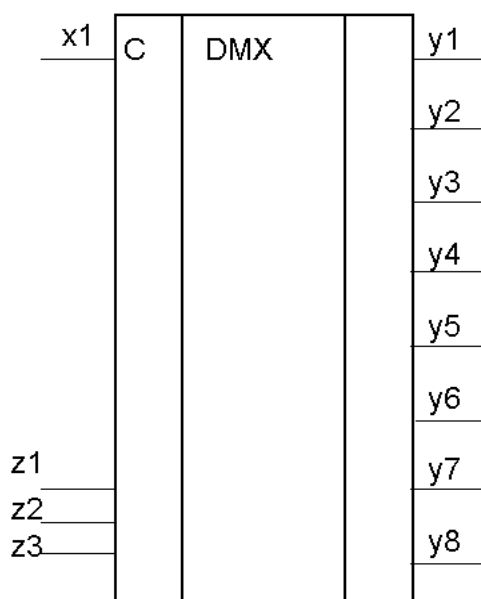


Рис. 4.26 Демультиплектор трехразрядный

Демультиплектор — устройство, в котором сигналы с одного информационного входа поступают в желаемой последовательности по нескольким выходам в зависимости от кода на адресных шинах. Таким образом, демультиплектор в функциональном отношении противоположен мультиплектору. Демультиплекторы обозначают через DMX или DMS. Если между числом выходов и числом адресных входов действует соотношение $n=2^m$ для двоичных демультиплекторов или $n=3^m$ для троичных демультиплекторов, то такой демультиплектор называют полным. Если $n < 2^m$ для двоичных демультиплекторов или $n < 3^m$ для троичных демультиплекторов, то демультиплектор называют неполным. Функции демультиплекторов сходны с

функциями дешифраторов. Дешифратор можно рассматривать как демультиплексор, у которого информационный вход поддерживает напряжение выходов в активном состоянии, а адресные входы выполняют роль входов дешифратора. Поэтому в обозначении как дешифраторов, так и демультиплексоров используются одинаковые буквы - ИД.

В ходе опыта назначение кнопок следующее:

9 – переключение кода Z управления (индикация двоичного кода управления 19-21)

1 — кнопка управления логическим состоянием входа x_1

11 — индикация логического состояния входа x_1

22 — 29 индикация логического состояния выходов y_1 - y_8 .

Опыт рекомендуется проводить следующим образом:

Выбрать кнопкой 9 номер логического выхода (в двоичной системе), на который будет коммутироваться сигнал со входа x_1 . Для получения номера выхода на который будет коммутироваться сигнал со входа x_1 , необходимо перевести двоичное число, записанное в ячейках 19-21 в десятичное и прибавить к полученному десятичному числу 1 (единицу) (особенности конкретной микросхемы).

Подать на вход x_1 логическую «1» с помощью кнопки управления логическим входом 1 и убедиться, что сигнал коммутируется именно на тот выход, двоичный код которого был выбран с помощью управляющих входов z_1 - z_3 и записан в ячейках 19-21. При изменении состояния входа x_1 изменяется только состояния логического выхода, выбранного управляющими входами, состояние других выходов не изменяется.

Пример: пусть с помощью кнопки 9 установлено состояние управляющих входов 19-21 как $z_1=1$; $z_2=2$; $z_3=0$. Для того, чтобы узнать номер коммутируемого выхода найдем десятичное число, соответствующее данному состоянию $n=1 \cdot 2^0 + 1 \cdot 2^1 = 3$, т. о., прибавляя единицу («1») к результату, окончательно получим, что сигнал со входа x_1 будет коммутироваться только на логический выход y_4 , состояния других выходов не меняются. Убеждаемся в этом, изменяя кнопкой управления 1 состояние логического входа x_1 .

Опыт 14. Изучение работы D-триггера.

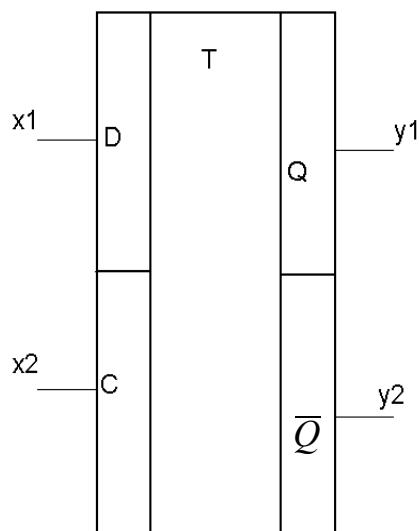
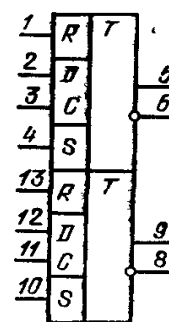


Рис. 4.27 D - триггер

D-триггер (D от англ. delay— задержка) — запоминает состояние входа и выдаёт его на выход. D-триггеры имеют, как минимум, два входа: информационный D и синхронизации C. Сохранение информации в D-триггерах происходит в момент прихода активного фронта на вход C. Так как информация на выходе остаётся неизменной до прихода очередного импульса синхронизации, D-триггер называют также триггером с запоминанием информации или триггером-защёлкой.

Если обозначать выходной сигнал триггера буквой Q, то для D-триггера можно написать следующее равенство: $Q_n = D_{n-1}$. Индексы n и n-1 указывают на то, что выходной сигнал Q изменяется не сразу после изменения входного сигнала D, а только с приходом разрешающего тактового сигнала. Тактирование D-триггера может осуществляться импульсом или фронтом. В тактируемом фронтом D-триггере изменение потенциала на входе D, синхронное с тактовыми импульсами, повторяется на выходе Q с задержкой на один период тактовых импульсов (отсюда и название-триггер задержки). На рисунке 4.28 показаны: структурная схема, условное обозначение и временная диаграмма D-триггера. Исследуемый в данной работе D-триггер является близким аналогом микросхемы K155TM2, которая представляет собой два D-триггера. Однако в изучаемом образце нет входа R (reset – сброс) и S (set – установка 1).



Условное
графическое
обозначение ИМС
K155TM2

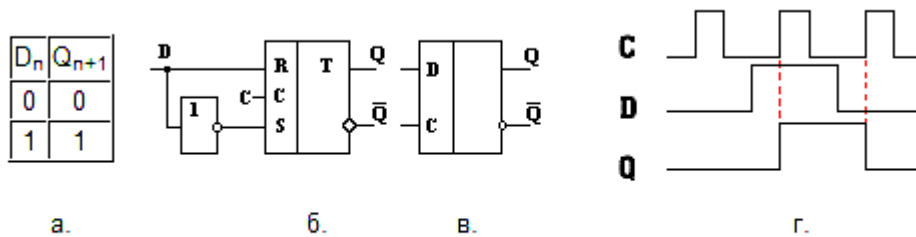
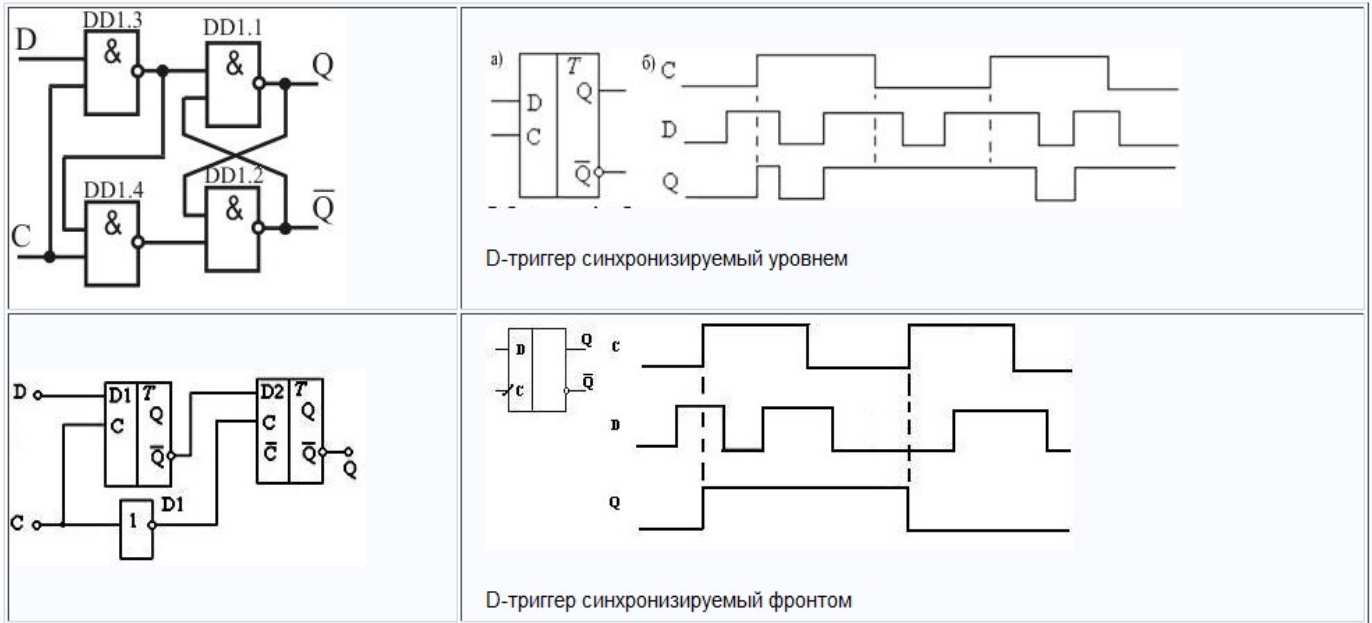


Рис. 4.28 D - триггер

а - таблица истинности б - структурная схема; в - условное обозначение г - временные диаграммы

В ходе опыта назначение кнопок следующее:

11 – индикация логического состояния вход данных x1

12 — индикация входа синхроимпульсов

22 — выход y1

23 — инверсионный выход y2

9 — подача на вход x2 синхроимпульсов

1- установка логического состояния x1

Опыт рекомендуется проводить следующим образом:

Кнопкой 1 установить логическое состояние входа $x_1=1$. Кнопкой подачи синхроимпульсов 9, вручную подавая на вход x2 синхроимпульс, наблюдать за изменением логического состояния выхода y1 и инверсионного выхода y2. Изменить логическое состояние входа $x_1=0$. Подавая синхроимпульс кнопкой 9, наблюдать за изменением логического состояния выхода y1 и y2.

ПОРЯДОК ВЫПОЛНЕНИЯ.

1. Перед включением установки в сеть проверить целостность соединительных сетевых проводов, ознакомится с методикой проведения опытов и разобраться в назначении кнопок и ручек.
2. Включить установку в сеть ~ 220 В. Поставить переключатель «СЕТЬ» на панели лабораторного модуля в положение «ВКЛ», при этом должен загореться индикатор «СЕТЬ», на LCD дисплее должны отображаться текущие параметры эксперимента.
3. Кнопкой управления 9 (select) с помощью интерактивного меню выбрать необходимый эксперимент и войти в него, нажимая кнопку 10 (input/output).
4. Провести изучение необходимого логического элемента согласно таблице доступных экспериментов из списка.
5. Выход из текущего эксперимента осуществляется нажатием кнопки 10 (input/output).
6. По окончании работы поставить переключатель «СЕТЬ» на панели установки в положение «выкл», при этом должен погаснуть индикатор сеть и вынуть вилку из розетки.

РЕКОМЕНДУЕМАЯ ЛИТЕРАТУРА

1. **Ефимов И. Е., Козырь И. Я.** Основы микроэлектроники — М-Связь, 1975. — 272 с.
2. **Справочник** по интегральным микросхемам/ Под ред. Б В Та-рабрина. 2-е изд. перераб. и доп. — М.: Энергия, 1980. — 816 с
3. **Банк М. У.** Аналоговые интегральные схемы в радиоаппаратуре. — М.: Радио и связь, 1981. — 136 с.
4. **Полевые** транзисторы и интегральные микросхемы. Технический каталог. — М.: ЦНИИ «Электроника», 1975. — 112 с.
5. **Батушев В. А.** Электронные приборы. 2-е изд. перераб и доп — М.: Высшая школа, 1980. — 383 с.
- 6 **Бедрековский М. А., Волга В. В., Кручинкин Н. С.** Микропроцессоры. — М.: Радио и связь, 1981. — 94 с.
7. **Бедрековский М. А., Кручинкин Н. С., Подолян В. А.** Микропроцессоры. — М.: Радио и связь, 1981. — 72 с.
8. **Микропроцессорные БИС и микро-ЭВМ/** Под ред. А. А. Васен-кова. — М.: Сов. радио, 1980. — 280 с.
9. Микро-ЭВМ «Электроника С-5» и их применение/ Под ред. В. М. Пролейко. — М.: Сов. радио, 1980. — 160 с.
10. **Микросхемы** и их применение. — М.: Энергия, 1978. — 248 с.
11. **Огнев И. В., Шамаев Ю. М.** Проектирование запоминающих устройств. — М.: Высшая школа, 1979. — 320 с.
12. **Прангишвили И. В.** Микропроцессоры и микро-ЭВМ. — М.: Энергия, 1979. — 232 с.
13. **Степаненко И. П.** Основы микроэлектроники. — М.: Сов. радио, 1980. — 424 с.
14. **Проектирование** мккроэлектронных цифровых устройств/ Под ред. С. А. Майорова. — М.: Сов. радио, 1977. — 272 с.
15. **Кузнецов В.** и др. Развитие микро-ЭВМ семейства «Электроника С-5» и систем на их основе. — Электронная промышленность, 1979, № И, 12, с. 9 — 12.

ДЛЯ СВОБОДНОГО РАСПРОСТРАНЕНИЯ

НПО УЧЕБНОЙ ТЕХНИКИ «ТУЛАНАУЧПРИБОР»